

I/O ACCESS CONTROL METHOD AND PROGRAM FOR INFORMATION PROCESSING SYSTEM

Publication number: JP2003036238

Publication date: 2003-02-07

Inventor: NANBA HIDEYUKI

Applicant: NIPPON ELECTRIC CO

Classification:

- international: G06F12/08; G06F13/10; G06F13/28; G06F12/08;
G06F13/10; G06F13/20; (IPC1-7): G06F13/10;
G06F12/08; G06F13/28

- European:

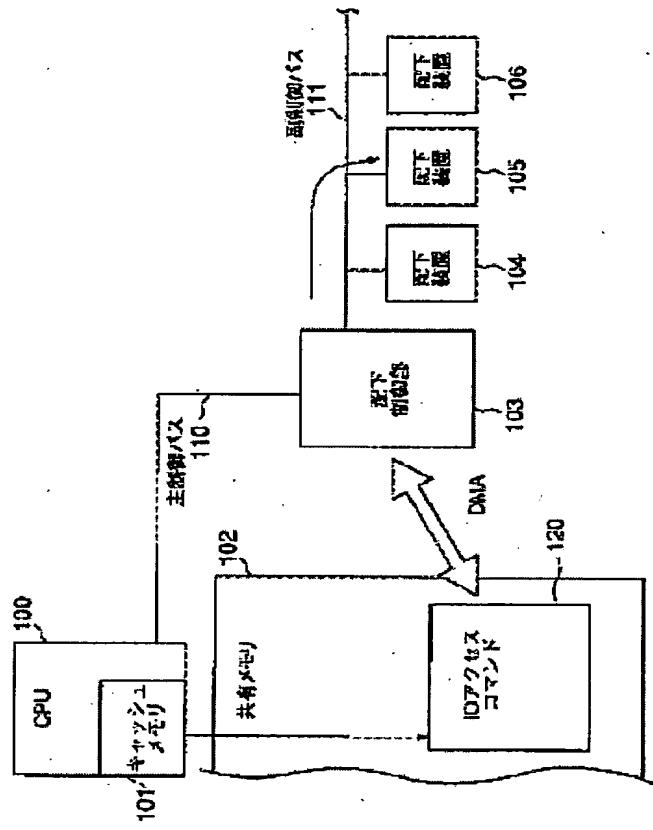
Application number: JP20010222752 20010724

Priority number(s): JP20010222752 20010724

Report a data error here

Abstract of JP2003036238

PROBLEM TO BE SOLVED: To remarkably improve deterioration in the CPU processing performance. **SOLUTION:** In the information processing system to control peripheral devices (104-106) using a peripheral control part (103) with DMA and a command analysis function by a multitasking program on a CPU (100) with built-in cache memory (101) and connected to shared memory (102), I/O access command for the peripheral device control is generated on the cache memory, the I/O access control for the peripheral device control generated on the cache memory is deployed on the shared memory, and the peripheral control part is initialized.



Data supplied from the esp@cenet database - Worldwide

* NOTICES *

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] By the multitasking program on CPU connected to the shared memory while building in cache memory It is the IO access-control approach in the information processing system which controls subordinate equipment using a subordinate control section with DMA and a command analysis feature. Said CPU creates IO access command for said subordinate device control on said cache memory. The IO access-control approach characterized by including the step to which IO access command for said subordinate device control which said CPU created on said cache memory is developed on said shared memory, and said CPU starts said subordinate control section.

[Claim 2] Said CPU is the IO access-control approach according to claim 1 characterized by performing processing which judges the starting address and effective length of said IO access command, processing which judges the minimum cache line containing a part for said IO access command effective number, and processing which controls the this judged minimum cache line.

[Claim 3] The IO access-control approach according to claim 1 that ring chain structuring of said IO access command developed on said shared memory is carried out.

[Claim 4] The IO access-control approach according to claim 1 that said two or more subordinate equipments are connected to said subordinate control section through two or more control buses.

[Claim 5] CPU which builds in cache memory, and the shared memory connected to this CPU, The subordinate control section which is connected to said CPU through a main control bus, and has DMA and a command analysis feature, It is the IO access-control approach in the information processing system equipped with the subordinate equipment connected to this subordinate control section through a sub control bus. The step to which said CPU creates IO access command for controlling said subordinate equipment to the field on said shared memory on said cache memory, The step to which said CPU computes the magnitude of the cache line where said IO access command is developed from the starting address and size of said IO access command, The step said IO access command judges [said CPU] a write-in access command or a read-out access command to be, The IO access-control approach containing the step to which said CPU develops said IO access command created on said cache memory on said shared memory, and starts DMA of said subordinate control section based on this decision result.

[Claim 6] When said IO access command is judged to be said write-in access command in said decision step, said expansion and a starting step The step which said CPU makes develop said IO access command created on said cache memory using the write back instruction on said shared memory, The IO access-control approach according to claim 5 characterized by having the step to which said CPU notifies the address on said shared memory of said IO access command to said subordinate control section through said main control bus, and starts DMA.

[Claim 7] Said subordinate control section is the IO access-control approach according to claim 6 of having the step which analyzes said IO access command on said shared memory by said DMA, and the step controlled through said sub control bus to said corresponding subordinate equipment.

[Claim 8] When said IO access command is judged to be said read-out access command in said decision step, said expansion and a starting step The step which makes an applicable cache line cancel while said CPU develops said IO access command created on said cache memory using the write back & nullification instruction on said shared memory, The step to which said CPU notifies the address on said shared memory of said IO access command to said subordinate control section

through said main control bus, and starts DMA, The IO access-control approach according to claim 5 characterized by having the step which interrupts applicable processing until said subordinate control section makes access complete to said subordinate equipment and said CPU develops a result to said shared memory.

[Claim 9] Said subordinate control section is the IO access-control approach according to claim 8 of having the step which analyzes said IO access command on said shared memory by said DMA, the step which controls through said sub control bus to said corresponding subordinate equipment, the step which develops a result on said shared memory in said DMA, and the step which reads to said CPU using interruption and notifies completion.

[Claim 10] Said CPU which received the notice of said read-out completion is the IO access-control approach according to claim 9 of having the step which resumes said interrupted processing, and the step which accesses the read-out result on said shared memory through said cache memory.

[Claim 11] The program which performs the processing which creates IO access command for said subordinate device control on said cache memory as program ** which makes CPU connected to the shared memory while building in cache memory control subordinate equipment to a subordinate control section with DMA and a command analysis feature, the processing which develops IO access command for said subordinate device control created on said cache memory on said shared memory, and the processing which starts said subordinate control section.

[Claim 12] The program according to claim 11 which makes said CPU perform processing which judges the starting address and effective length of said IO access command, processing which judges the minimum cache line containing a part for said IO access command effective number, and processing which controls this judged minimum cache line.

[Claim 13] CPU which builds in cache memory, and the shared memory connected to this CPU, In the information processing system equipped with the subordinate equipment which is connected to said CPU through a main control bus, and is connected to a subordinate control section with DMA and a command analysis feature, and this subordinate control section through a sub control bus The processing which creates IO access command for controlling said subordinate equipment on said cache memory to said CPU at the field on said shared memory, The processing which computes the magnitude of the cache line where said IO access command is developed from the starting address and size of said IO access command, The processing said whose IO access command judges a write-in access command or a read-out access command, The program for performing processing which develops said IO access command created on said cache memory on said shared memory based on this decision result, and starts DMA of said subordinate control section.

[Claim 14] When it is judged that said IO access command is said write-in access command in said decision processing, by said expansion and starting processing The processing which develops said IO access command created on said cache memory by said CPU using the write back instruction on said shared memory, The program according to claim 13 for performing processing which notifies the address on said shared memory of said IO access command to said subordinate control section through said main control bus, and starts DMA.

[Claim 15] When it is judged that said IO access command is said read-out access command in said decision processing, by said expansion and starting processing The processing which makes an applicable cache line cancel while developing said IO access command created on said cache memory by said CPU using the write back & nullification instruction on said shared memory, The processing which notifies the address on said shared memory of said IO access command to said subordinate control section through said main control bus, and starts DMA, The program according to claim 13 for performing processing which interrupts applicable processing until said subordinate control section makes access complete to said subordinate equipment and develops a result to said shared memory.

[Claim 16] The program according to claim 15 for performing processing which resumes said interrupted processing to said CPU which read from said subordinate control section and received the notice of completion, and processing accessed through said cache memory at the read-out result on said shared memory.

[Translation done.]

*** NOTICES ***

JPO and INPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] Especially this invention relates to the IO access-control approach which used the cache and the shared memory about information processing system.

[0002]

[Description of the Prior Art] Conventionally, this kind of information processing system is equipped with the central processing unit (CPU) which contained cache memory, the shared memory connected to this CPU, two or more subordinate equipments controlled by the program which operates on CPU, and the subordinate control section for controlling two or more subordinate equipments by the bottom of control of CPU.

[0003] In the conventional information processing system, when controlling subordinate equipment by the program which operates on CPU, IO (subordinate equipment) is accessed directly. Moreover, in IO access, it is necessary to secure a coherency.

[0004] Various advanced-technology reference relevant to this invention is also known. For example, the "cache memory control system" which enabled it to perform I/O-command processing at a high speed is indicated, without increasing components mark to JP,5-189359,A (it being hereafter called "the 1st advanced-technology reference".) in a highly efficient processor system. In case an I/O command is stored in a data cache and it purges from a data cache by the command demand DMA cycle from an I/O adapter, he prepares the control circuit which makes the cache status bit of a data cache an invalid, and is trying for a data purge to occur only once by this 1st advanced-technology reference. Moreover, when the setting page of a command buffer is accessed, the control circuit which outputs a page access signal was prepared outside, and the command demand DMA is started with this signal.

[0005] Moreover, "the IO control approach and information processor" which controlled IO element without preparing the address register and starting register corresponding to IO element in IO control section are indicated by JP,6-243083,A (it is hereafter called "the 2nd advanced-technology reference".). In this 2nd advanced-technology reference, only two registers, an address register and a starting register, are prepared in IO control section. Furthermore, the pointer to the DMA command DS corresponding to IO element is written in memory as DMA request DS, and writes the address of the DMA request DS in the address register of IO control section. IO control section performs IO processing to each IO element based on an address register with reference to the DMA request data and DMA command DS of memory. That is, by the 2nd advanced-technology reference, IO control section reads IO command information from memory, and is performing processing of the IO command corresponding to an I/O device.

[0006] Furthermore, the more efficient I/O-channel controller is indicated by JP,8-115260,A (it is hereafter called "the 3rd advanced-technology reference".). That is, by the 3rd advanced-technology reference, an I/O-channel controller applies a coherency and synchronous mechanism. Thereby, an I/O-channel controller can realize completely coherent direct memory access actuation with a multiprocessor system bus, without applying a retry protocol. This becomes possible by performing delay cache nullification to the cache coherency conflict of the real time between a processor and an I/O device. Moreover, I/O On real time, DMA writing is produced without the conventional RWITM (Read With Intent to Modify) actuation to a memory system. in order to realize a "seamless" I/O

synchronization to activation of a processor -- completion of PIO actuation -- I/O It is connected to completion of a DMA write-operation. By such technique, a merit produces a design by simplifying sharply in the gestalt of an I/O-channel controller.

[0007]

[Problem(s) to be Solved by the Invention] As mentioned above, since IO (subordinate equipment) was directly accessed when subordinate equipment was controlled by the program which operates on CPU, with the conventional information processing system, the queuing time amount of a control bus and the processing time of controlled-system equipment will turn into queuing time amount on a direct program. Therefore, there is a problem that the throughput of CPU declines remarkably as the access frequency to subordinate equipment increases.

[0008] Moreover, in IO access, as mentioned above, it is necessary to secure a coherency but, and even if CPU mounts cache memory, non-cache use access is usually performed in many cases. For this reason, there is a problem that the performance which CPU has is unutilizable.

[0009] In addition, the 1st advanced-technology reference mentioned above is indicating the technical thought which enabled it to use cache memory also as a command buffer. Therefore, like the above-mentioned conventional information processing system, when controlling subordinate equipment by the program which operates on CPU, since subordinate equipment will be accessed directly, by this 1st advanced-technology reference, it is thought that the problem same with having mentioned above arises.

[0010] Moreover, as mentioned above, by the 2nd advanced-technology reference, IO control section reads IO command information from memory, and is indicating the technical thought which was made to perform processing of the IO command corresponding to an I/O device (subordinate equipment). However, the 2nd advanced-technology reference is not indicated at all about use of cache memory.

[0011] Furthermore, the 3rd advanced-technology reference is not indicated at all about use of the cache memory with which CPU is equipped, although the cache memory with which the I/O-channel controller was equipped is indicated.

[0012] Therefore, the purpose of this invention is to offer the IO access-control approach which can do ** t which improves the fall of the throughput of CPU remarkably.

[0013] Another purpose of this invention also has access of a shared memory in offering the IO access-control approach which can use cache memory.

[0014]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the following engineering construction is used for this invention.

[0015] According to this invention, by the multitasking program on CPU connected to the shared memory while building in cache memory It is the IO access-control approach in the information processing system which controls subordinate equipment using a subordinate control section with DMA and a command analysis feature. Said CPU creates IO access command for said subordinate device control on said cache memory. IO access command for said subordinate device control which said CPU created on said cache memory is developed on said shared memory, and the IO access-control approach characterized by including the step to which said CPU starts said subordinate control section is acquired.

[0016] By such configuration, actuation of said CPU will be released from the processing delay by said subordinate equipment etc. after said IO access command issue.

[0017] In addition, as for said CPU, it is desirable to perform processing which judges the starting address and effective length of said IO access command, processing which judges the minimum cache line containing a part for said IO access command effective number, and processing which controls the this judged minimum cache line. Thereby, access to said shared memory also becomes possible [using said cache memory], and the fall of a CPU throughput can be improved remarkably.

[0018]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail with reference to a drawing.

[0019] With reference to drawing 1 , the information processing system with which the IO access-

control approach concerning the gestalt of operation of the 1st of this invention is applied is explained. The information processing system of illustration contains cache memory 101, and consists of the central processing unit (CPU) 100 for controlling the subordinate equipment mentioned later, the shared memory 102 connected to this CPU100, a subordinate control section 103, two or more subordinate equipments 104, 105, and 106 connected to this subordinate control section 103 by the sub control bus 111, and a main control bus 110 for control of the subordinate control section 103.

[0020] The subordinate control section 103 analyzes the DMA (Direct Memory Access) function to a shared memory 102, and IO (I/O) access command 120 set up on a shared memory 102, and has the function which controls IO (I/O) of the subordinate equipments 104-106 connected by the sub control bus 111.

[0021] The example of implementation of IO access command on a shared memory 102 is shown in drawing 2 . IO access command 120 consists of IO access commands for several command minutes.

[0022] It is shown in the flow Fig. of the program actuation which operates on CPU100 to drawing 3 . Hereafter, actuation of CPU100 is explained according to this flow of operation.

[0023] First, CPU100 creates IO access command 120 for controlling the 1st subordinate equipment 104 to the suitable field on a shared memory 102 on cache memory 101 (step S301). However, at this time, IO access command is only developed on cache memory 101 (creation).

[0024] Next, CPU100 computes the magnitude of the cache line of cache memory 101 where IO access command is developed from the starting address and size of IO access command 120 developed on a shared memory 102 (step S302). If it explains in full detail, CPU100 will perform processing which judges the starting address and effective length of IO access command, processing which judges the minimum cache line containing a part for IO access command effective number, and processing which controls this cache line of the judged min at this step S302. As for CPU100, IO access command judges a write-in access command or a read-out access command (step S303).

[0025] When IO access command is a write-in access command (Yes of step S303), the write back instruction of CPU100 is used for CPU100, and IO access command 120 developed on cache memory 101 (creation) is developed on a shared memory 102 (step S304). Then, CPU100 notifies the address on the shared memory 102 of IO access command 120 to the subordinate control section 103 through the main control bus 110, and starts DMA (step S305). CPU100 completes control in program at this time.

[0026] The subordinate control section 103 analyzes IO access command 120 for the subordinate device control on a shared memory 102 by DMA, and controls through the sub control bus 111 to the corresponding subordinate equipment.

[0027] On the other hand, the write back & nullification instruction of CPU100 is used for CPU100, and while developing IO access command 120 developed on cache memory 101 (creation) on a shared memory 102, the applicable cache line of cache memory 101 is made to cancel, when IO access command is a read-out access command (No of step S303) (step S404). Next, CPU100 notifies the address on the shared memory 102 of IO access command 120 to the subordinate control section 103 through the main control bus 110, and starts DMA (step S405).

[0028] The program of CPU100 interrupts applicable processing until the subordinate control section 103 makes access complete to the subordinate equipments 104-106 and develops a result to a shared memory 102 (step S406). In this case, CPU100 is possible for performing other processings.

[0029] The subordinate control section 103 analyzes IO access command 120 for the subordinate device control on a shared memory 102 by DMA, controls to the corresponding subordinate equipment, and develops a read-out result on a shared memory 120 in DMA. Then, the subordinate control section 103 is read to CPU100 using interruption, and notifies completion (step 407).

[0030] CPU100 which received the notice of read-out completion makes the interrupted processing resume (step S408), and accesses the read-out result on a shared memory 102 through cache access of cache memory 101 (step S409).

[0031] In this case, since the part equivalent to IO access command on cache memory 101 is cancelled at the time of command starting, a mistake hit occurs at the time of the access activation after read-out completion, and the coherency between a shared memory 102 and cache memory 101 realizes it.

[0032] With reference to drawing 4, the information processing system with which the IO access-control approach concerning the gestalt of operation of the 2nd of this invention is applied is explained. The information processing system of illustration shows the example at the time of carrying out ring chain structuring of the IO access command of a shared memory 102A part.

[0033] On shared memory 102A, the ring-like chain 200 of a command is constituted and it has the write-in pointer 301 for CPU100 to write in IO access command for subordinate device control as control data 201, and the read-out pointer 300 for reading IO access command with which the subordinate control section 103 was written in.

[0034] In the subordinate control section 103, CPU100 writes IO access command in the command field which the write-in pointer 301 shows to asynchronous, and updates the write-in pointer 301. Loading is possible for the loading of IO access command until the write-in pointer 301 shows the read-out pointer 300.

[0035] Moreover, while the command is set as the command field which the read-out pointer 300 shows independently of CPU100, the subordinate control section 103 incorporates a command in DMA, and carries out control shown by the command through the sub control bus 111 to subordinate equipment. Decision whether the command is set up or not can be judged with the number of commands of the IO command 401 etc.

[0036] When this configuration is taken, CPU100 and the subordinate control section 103 can operate independently, it becomes possible to publish IO access command continuously from CPU100, and improvement in a throughput can be expected more.

[0037] With reference to drawing 5, the information processing system with which the IO access-control approach concerning the gestalt of operation of the 3rd of this invention is applied is explained. The information processing system of illustration is the example which arranged two sub control buses 111 and 112 on the subordinate of the subordinate control section 103.

[0038] In this case, it becomes possible to perform one device control of the subordinate equipments 107-109 through the 2nd sub control bus 112 in parallel to one device control of the subordinate equipments 104-106 through the 1st sub control bus 111, and improvement in a throughput can be expected.

[0039] In addition, it cannot be overemphasized that modification various by within the limits which this invention is not limited to the gestalt of operation mentioned above, and does not deviate from the summary of this invention is possible. For example, if it realizes combining the gestalt of implementation of the above 2nd, and the gestalt of implementation of the above 3rd, it can predict that effectiveness becomes size more. Furthermore, the escape to the system which can control the subordinate equipment group of a bigger scale is also possible, without a throughput declining, if two or more arrangement of the command-chaining structure on a shared memory 102 and the combination of a subordinate control section is carried out.

[0040]

[Effect of the Invention] As explained above, since CPU is creating IO access command for subordinate device control and is developing on a shared memory through cache memory, effectiveness which is described below is done so by this invention.

[0041] The 1st effectiveness is becoming possible from the CPU execution time to eliminate the queuing time amount of a control bus, and the response time of subordinate equipment, and being able to improve the throughput of CPU by separating access to subordinate equipment from the program manipulation of CPU.

[0042] The 2nd effectiveness is being able to accelerate the issue of IO access command itself and being able to improve a process speed by this by utilizing effectively the cache memory built in CPU.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the hardware configuration of the information processing system with which the IO access-control approach by the gestalt of operation of the 1st of this invention is applied.

[Drawing 2] It is drawing showing the example of a configuration of IO access command used with the information processing system shown in **drawing 1**.

[Drawing 3] It is the flow Fig. showing the program actuation which operates on CPU of the information processing system shown in **drawing 1**.

[Drawing 4] It is the block diagram showing the hardware configuration of the information processing system with which the IO access-control approach by the gestalt of operation of the 2nd of this invention is applied.

[Drawing 5] It is the block diagram showing the hardware configuration of the information processing system with which the IO access-control approach by the gestalt of operation of the 3rd of this invention is applied.

[Description of Notations]

100 Central Processing Unit (CPU)

101 Cache Memory

102 Shared Memory

103 Subordinate Control Section

104-109 Subordinate equipment

110-112 Control bus

120 IO Access Command

200 Ring Buffer

201 Control Data

400 401 The IO command

402 IO Access Command

[Translation done.]

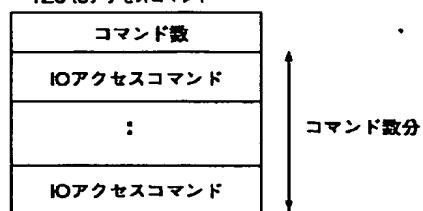
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

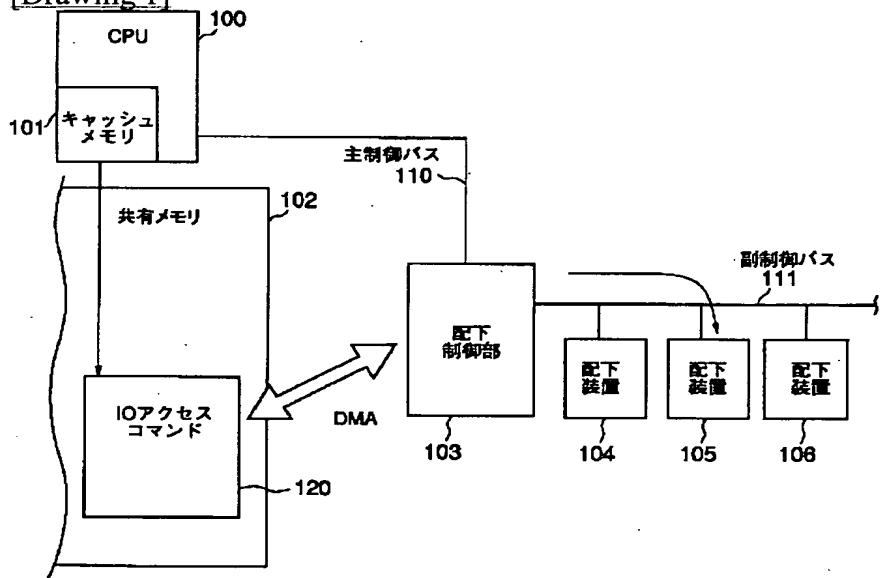
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

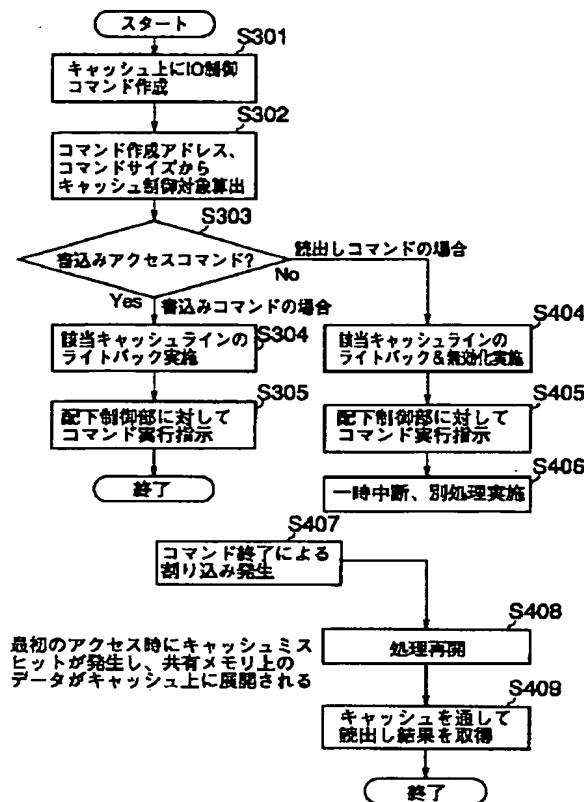
[Drawing 2]
120 IOアクセスコマンド



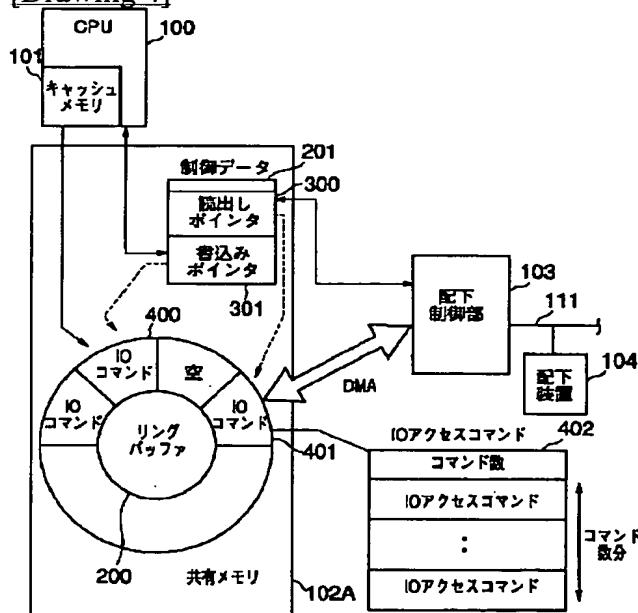
[Drawing 1]



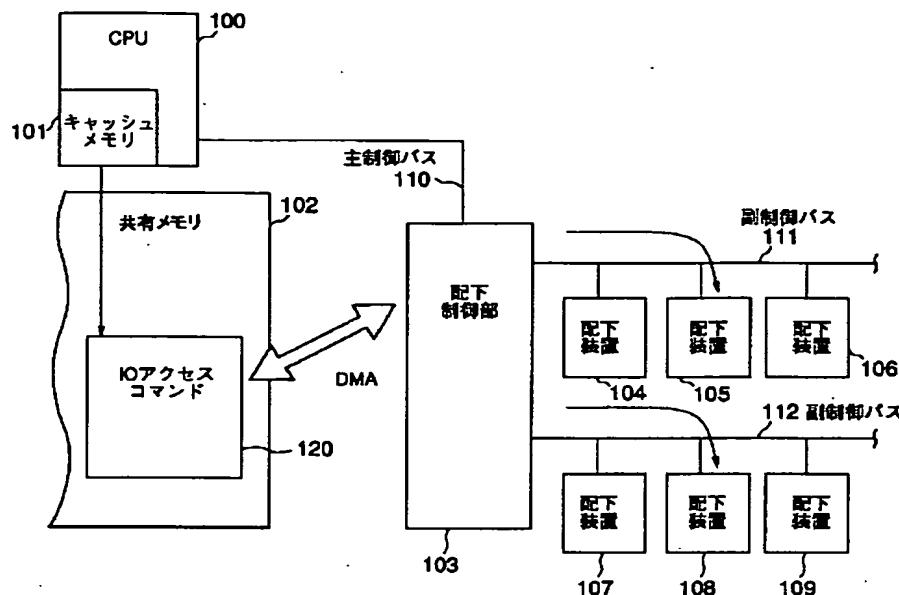
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-36238

(P 2 0 0 3 - 3 6 2 3 8 A)

(43) 公開日 平成15年2月7日 (2003. 2. 7)

(51) Int. Cl.	識別記号	F I	マーク	(参考)
G06F 13/10	310	G06F 13/10	310	C 5B005
12/08	501	12/08	501	C 5B014
	531		531	C 5B061
13/28	310	13/28	310	C

審査請求 有 請求項の数16 O L (全8頁)

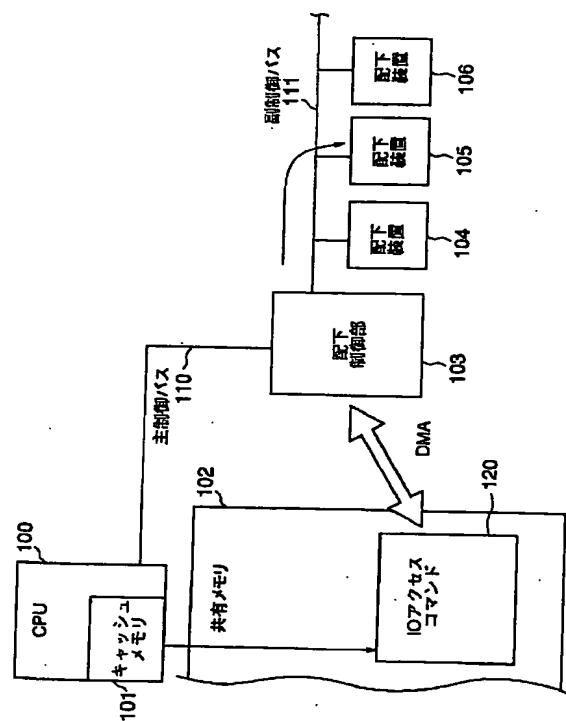
(21) 出願番号	特願2001-222752 (P 2001-222752)	(71) 出願人	000004237
(22) 出願日	平成13年7月24日 (2001. 7. 24)	日本電気株式会社	
		東京都港区芝五丁目7番1号	
		(72) 発明者	難波 秀之
			東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	100071272
			弁理士 後藤 洋介 (外1名)
		F ターム (参考)	5B005 JJ11 KK15 PP03 PP21 5B014 FA04 FB06 GA06 GB11 GC36 5B061 DD11 GG02

(54) 【発明の名称】情報処理システムのI/Oアクセス制御方法およびプログラム

(57) 【要約】

【課題】 CPUの処理能力の低下を著しく改善すること。

【解決手段】 キャッシュメモリ(101)を内蔵すると共に共有メモリ(102)に接続されたCPU(100)上のマルチタスクプログラムにより、DMA及びコマンド解析機能を持つ配下制御部(103)を用いて配下装置(104~106)を制御する情報処理システムにおいて、CPU(100)は、キャッシュメモリ上に配下装置制御用のI/Oアクセスコマンドを作成し、キャッシュメモリ上に作成した配下装置制御用のI/Oアクセスコマンドを共有メモリ上に展開し、配下制御部を起動する。



【特許請求の範囲】

【請求項 1】 キャッシュメモリを内蔵すると共に共有メモリに接続された C P U 上のマルチタスクプログラムにより、DMA 及びコマンド解析機能を持つ配下制御部を用いて配下装置を制御する情報処理システムにおける I O アクセス制御方法であって、

前記 C P U が前記キャッシュメモリ上に前記配下装置制御用の I O アクセスコマンドを作成し、

前記 C P U が前記キャッシュメモリ上に作成した前記配下装置制御用の I O アクセスコマンドを前記共有メモリ上に展開し、

前記 C P U が前記配下制御部を起動するステップを含むことを特徴とする I O アクセス制御方法。

【請求項 2】 前記 C P U は、前記 I O アクセスコマンドの開始アドレスと有効長を判断する処理と、

前記 I O アクセスコマンド有効数分を含む最小のキャッシュラインを判定する処理と、該判定された最小のキャッシュラインを制御する処理とを行うことを特徴とする請求項 1 に記載の I O アクセス制御方法。

【請求項 3】 前記共有メモリ上に展開された前記 I O アクセスコマンドがリングチェーン構造化されている、請求項 1 に記載の I O アクセス制御方法。

【請求項 4】 前記配下制御部に複数系統の制御バスを介して複数の前記配下装置が接続されている、請求項 1 に記載の I O アクセス制御方法。

【請求項 5】 キャッシュメモリを内蔵する C P U と、該 C P U に接続された共有メモリと、前記 C P U に主制御バスを介して接続され、DMA 及びコマンド解析機能を持つ配下制御部と、該配下制御部に副制御バスを介して接続される配下装置とを備えた情報処理システムにおける I O アクセス制御方法であって、

前記 C P U が、前記キャッシュメモリ上に前記共有メモリ上の領域に前記配下装置を制御するための I O アクセスコマンドを作成するステップと、

前記 C P U が、前記 I O アクセスコマンドの開始アドレスおよびサイズから前記 I O アクセスコマンドが展開されているキャッシュラインの大きさを算出するステップと、

前記 C P U が、前記 I O アクセスコマンドが書き込みアクセスコマンドか読み出しアクセスコマンドかを判断するステップと、

該判断結果に基づいて、前記 C P U が、前記キャッシュメモリ上に作成された前記 I O アクセスコマンドを前記共有メモリ上に展開し、前記配下制御部の DMA を起動するステップとを含む I O アクセス制御方法。

【請求項 6】 前記判断ステップにおいて、前記 I O アクセスコマンドが前記書き込みアクセスコマンドであると判断された場合、前記展開および起動ステップは、

10

20

30

40

50

前記 C P U が、ライトバック命令を使用して前記キャッシュメモリ上に作成された前記 I O アクセスコマンドを前記共有メモリ上に展開させるステップと、

前記 C P U が、前記 I O アクセスコマンドの前記共有メモリ上のアドレスを前記主制御バスを介して前記配下制御部に通知し、DMA を起動するステップとを有することを特徴とする請求項 5 に記載の I O アクセス制御方法。

【請求項 7】 前記配下制御部は、

前記 DMA により前記共有メモリ上の前記 I O アクセスコマンドを解析するステップと、

該当する前記配下装置に対して前記副制御バスを介して制御するステップとを有する請求項 6 に記載の I O アクセス制御方法。

【請求項 8】 前記判断ステップにおいて、前記 I O アクセスコマンドが前記読み出しアクセスコマンドであると判断された場合、前記展開および起動ステップは、

前記 C P U が、ライトバック & 無効化命令を使用して前記キャッシュメモリ上に作成された前記 I O アクセスコマンドを前記共有メモリ上に展開させると共に該当キャッシュラインを無効化するステップと、

前記 C P U が、前記 I O アクセスコマンドの前記共有メモリ上のアドレスを前記主制御バスを介して前記配下制御部に通知し、DMA を起動するステップと、

前記 C P U が、前記配下制御部が前記配下装置に対してアクセスを完了させ、結果を前記共有メモリに展開するまで該当処理を中断するステップとを有することを特徴とする請求項 5 に記載の I O アクセス制御方法。

【請求項 9】 前記配下制御部は、

前記 DMA により前記共有メモリ上の前記 I O アクセスコマンドを解析するステップと、

該当する前記配下装置に対して前記副制御バスを介して制御を実施するステップと、

結果を前記 DMA にて前記共有メモリ上に展開するステップと、

割り込みを使用して前記 C P U に読み出し完了を通知するステップとを有する請求項 8 に記載の I O アクセス制御方法。

【請求項 10】 前記読み出し完了の通知を受けた前記 C P U は、

前記中断していた処理を再開するステップと、

前記キャッシュメモリを介して前記共有メモリ上の読み出し結果にアクセスするステップとを有する請求項 9 に記載の I O アクセス制御方法。

【請求項 11】 キャッシュメモリを内蔵すると共に共有メモリに接続された C P U に、DMA 及びコマンド解析機能を持つ配下制御部に対して配下装置を制御させるプログラムであって、

前記キャッシュメモリ上に前記配下装置制御用の I O アクセスコマンドを作成する処理と、

前記キャッシュメモリ上に作成した前記配下装置制御用のI/Oアクセスコマンドを前記共有メモリ上に展開する処理と、

前記配下制御部を起動する処理とを実行させるプログラム。

【請求項12】 前記I/Oアクセスコマンドの開始アドレスと有効長を判断する処理と、

前記I/Oアクセスコマンド有効数分を含む最小のキャッシュラインを判定する処理と、

該判定された最小のキャッシュラインを制御する処理とを前記CPUに実行させる請求項11に記載のプログラム。

【請求項13】 キャッシュメモリを内蔵するCPUと、該CPUに接続された共有メモリと、前記CPUに主制御バスを介して接続され、DMA及びコマンド解析機能を持つ配下制御部と、該配下制御部に副制御バスを介して接続される配下装置とを備えた情報処理システムにおいて、前記CPUに、

前記キャッシュメモリ上に前記共有メモリ上の領域に前記配下装置を制御するためのI/Oアクセスコマンドを作成する処理と、

前記I/Oアクセスコマンドの開始アドレスおよびサイズから前記I/Oアクセスコマンドが展開されているキャッシュラインの大きさを算出する処理と、

前記I/Oアクセスコマンドが書き込みアクセスコマンドか読み出しおアクセスコマンドかを判断する処理と、

該判断結果に基づいて、前記キャッシュメモリ上に作成された前記I/Oアクセスコマンドを前記共有メモリ上に展開し、前記配下制御部のDMAを起動する処理とを実行させるためのプログラム。

【請求項14】 前記判断処理において前記I/Oアクセスコマンドが前記書き込みアクセスコマンドであると判断された場合、前記展開および起動処理で、前記CPUに、

ライトバック命令を使用して前記キャッシュメモリ上に作成された前記I/Oアクセスコマンドを前記共有メモリ上に展開させる処理と、

前記I/Oアクセスコマンドの前記共有メモリ上のアドレスを前記主制御バスを介して前記配下制御部に通知し、DMAを起動する処理とを実行させるための請求項13に記載のプログラム。

【請求項15】 前記判断処理において前記I/Oアクセスコマンドが前記読み出しあクセスコマンドであると判断された場合、前記展開および起動処理で、前記CPUに、

ライトバック&無効化命令を使用して前記キャッシュメモリ上に作成された前記I/Oアクセスコマンドを前記共有メモリ上に展開させると共に該当キャッシュラインを無効化させる処理と、

前記I/Oアクセスコマンドの前記共有メモリ上のアドレ

スを前記主制御バスを介して前記配下制御部に通知し、DMAを起動する処理と、

前記配下制御部が前記配下装置に対してアクセスを完了させ、結果を前記共有メモリに展開するまで該当処理を中断する処理とを実行させるための請求項13に記載のプログラム。

【請求項16】 前記配下制御部から読み出し完了の通知を受けた前記CPUに、

前記中断していた処理を再開する処理と、

10 前記キャッシュメモリを介して前記共有メモリ上の読み出し結果にアクセスする処理とを実行させるための請求項15に記載のプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、情報処理システムに関し、特に、キャッシュ・共有メモリを使用したI/Oアクセス制御方法に関する。

【0002】

【従来の技術】 従来、この種の情報処理システムは、キャッシュメモリを内蔵した中央処理装置(CPU)と、このCPUに接続された共有メモリと、CPU上で動作するプログラムで制御される複数台の配下装置と、CPUの制御下で複数台の配下装置を制御するための配下制御部とを備えている。

【0003】 従来の情報処理システムでは、CPU上で動作するプログラムで配下装置を制御する場合、直接、I/O(配下装置)をアクセスしている。また、I/Oアクセスの場合、コヒーレンシを保障する必要がある。

30 【0004】 本発明に関連する先行技術文献も種々知られている。例えば、特開平5-189359号公報(以下、「第1の先行技術文献」と呼ぶ。)には、高性能なプロセッサシステムにおいて部品点数を増加することなくI/Oコマンド処理を高速に行えるようにした「キャッシュメモリ制御方式」が開示されている。この第1の先行技術文献では、データキャッシュにI/Oコマンドを格納し、I/Oアダプタからのコマンド要求DMAサイクルによりデータキャッシュからページする際、データキャッシュのキャッシュ状態ビットを無効にする制御回路を設け、一回だけデータページが起きるようにしている。また、コマンドバッファの設定ページをアクセスしたとき、外部にページアクセス信号を出力する制御回路を設け、この信号によりコマンド要求DMAを起動している。

40 【0005】 また、特開平6-243083号公報(以下、「第2の先行技術文献」と呼ぶ。)には、I/O要素に対応したアドレスレジスタおよび起動レジスタをI/O制御部に設けないでI/O要素を制御するようにした「I/O制御方法および情報処理装置」が開示されている。この第2の先行技術文献において、I/O制御部には、アドレスレジスタと起動レジスタの2つのレジスタだけを設

けている。さらに、I/O要素対応のDMAコマンドデータ構造へのポインタは、DMA要求データ構造としてメモリに書き込み、そのDMA要求データ構造のアドレスをI/O制御部のアドレスレジスタに書込む。I/O制御部は、アドレスレジスタを基にメモリのDMA要求データおよびDMAコマンドデータ構造を参照して、各I/O要素に対するI/O処理を実行する。すなわち、第2の先行技術文献では、I/O制御部が、I/Oコマンド情報をメモリから読み出し、入出力装置に対応するI/Oコマンドの処理を実行させている。

【0006】さらに、特開平8-115260号公報(以下、「第3の先行技術文献」と呼ぶ。)には、より効率的なI/Oチャネル・コントローラが開示されている。すなわち、第3の先行技術文献では、I/Oチャネル・コントローラはコヒーレンシと同期のメカニズムを適用する。これによりI/Oチャネル・コントローラは、再試行プロトコルを適用せずに、マルチプロセッサ・システム・バスで完全にコヒーレントな直接メモリ・アクセス操作を実現できる。これは、プロセッサとI/O装置の間のリアルタイムのキャッシュ・コヒーレンシ・コンフリクトに対して遅延キャッシュ無効化を実行することによって可能になる。またI/O DMA書き込みはメモリ・システムに対してリアルタイムに、従来のRWITM(Read With Intent to Modify)操作なく生じる。プロセッサの実行に対して「シームレス」なI/O同期を実現するためにPIO操作の完了はI/O DMA書き込み操作の完了と結びつけられる。これらの手法により、I/Oチャネル・コントローラの形態において、設計を大幅に簡素化することによってメリットが生じる。

【0007】

【発明が解決しようとする課題】上述したように、従来の情報処理システムでは、CPU上で動作するプログラムで配下装置を制御する場合、直接、I/O(配下装置)をアクセスしていたので、制御バスの待ち合わせ時間、制御対象装置の処理時間が直接プログラム上の待ち合わせ時間となってしまう。そのため、配下装置へのアクセス頻度が増すにつれてCPUの処理能力が著しく低下するという問題がある。

【0008】また、I/Oアクセスの場合、前述したように、コヒーレンシを保障する必要があるが、CPUがキャッシュメモリを実装していても、通常非キャッシュ使用アクセスを行うことが多い。このため、CPUの持つパフォーマンスを生かしきれないという問題がある。

【0009】尚、上述した第1の先行技術文献は、キャッシュメモリをコマンドバッファとしても使用できるようにした技術的思想を開示している。したがって、CPU上で動作するプログラムで配下装置を制御する場合、この第1の先行技術文献では、上記従来の情報処理システムと同様に、直接、配下装置をアクセスすることにな

るので、上述したのと同様の問題が起こると考えられる。

【0010】また、上述したように、第2の先行技術文献では、I/O制御部が、I/Oコマンド情報をメモリから読み出し、入出力装置(配下装置)に対応するI/Oコマンドの処理を実行させるようにした技術的思想を開示している。しかしながら、第2の先行技術文献は、キャッシュメモリの利用については何ら開示していない。

【0011】さらに、第3の先行技術文献は、I/Oチャネル・コントローラに備えられたキャッシュメモリについては記載しているが、CPUに備えられているキャッシュメモリの利用については何ら開示していない。

【0012】したがって、本発明の目的は、CPUの処理能力の低下を著しく改善することができる、I/Oアクセス制御方法を提供することにある。

【0013】本発明の別の目的は、共有メモリのアクセスもキャッシュメモリを用いることが可能な、I/Oアクセス制御方法を提供することにある。

【0014】

【課題を解決するための手段】本発明は、上記の目的を達成するために次のような技術的構成を採用する。

【0015】本発明によれば、キャッシュメモリを内蔵すると共に共有メモリに接続されたCPU上のマルチタスクプログラムにより、DMA及びコマンド解析機能を持つ配下制御部を用いて配下装置を制御する情報処理システムにおけるI/Oアクセス制御方法であって、前記CPUが前記キャッシュメモリ上に前記配下装置制御用のI/Oアクセスコマンドを作成し、前記CPUが前記キャッシュメモリ上に作成した前記配下装置制御用のI/Oアクセスコマンドを前記共有メモリ上に展開し、前記CPUが前記配下制御部を起動するステップを含むことを特徴とするI/Oアクセス制御方法が得られる。

【0016】このような構成により、前記I/Oアクセスコマンド発行後は、前記CPUの動作が、前記配下装置等による処理遅延から解放されることになる。

【0017】尚、前記CPUは、前記I/Oアクセスコマンドの開始アドレスと有効長を判断する処理と、前記I/Oアクセスコマンド有効数分を含む最小のキャッシュラインを判定する処理と、該判定された最小のキャッシュラインを制御する処理とを行うことが望ましい。これにより、前記共有メモリへのアクセスも前記キャッシュメモリを用いることが可能となり、CPU処理能力の低下を著しく改善することができる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0019】図1を参照して、本発明の第1の実施の形態に係るI/Oアクセス制御方法が適用される情報処理システムについて説明する。図示の情報処理システムは、キャッシュメモリ101を内蔵し、後述する配下装置を

制御するための中央処理装置(CPU)100と、このCPU100に接続された共有メモリ102と、配下制御部103と、この配下制御部103に副制御バス111によって接続される複数台の配下装置104、105、106と、配下制御部103の制御用の主制御バス110とから構成される。

【0020】配下制御部103は、共有メモリ102に対するDMA(Direct Memory Access)機能と、共有メモリ102上に設定されるIO(入出力)アクセスコマンド120を解析し、副制御バス111によって接続される配下装置104～106のIO(入出力)を制御する機能とを持っている。

【0021】図2に共有メモリ102上でのIOアクセスコマンドの実現例を示す。IOアクセスコマンド120は、コマンド数分のIOアクセスコマンドから構成されている。

【0022】図3にCPU100上で動作するプログラム動作のフロー図に示す。以下、この動作フローに従ってCPU100の動作について説明する。

【0023】先ず、CPU100は、キャッシュメモリ101上に、共有メモリ102上の適当な領域に第1の配下装置104を制御するためのIOアクセスコマンド120を作成する(ステップS301)。但し、この時点では、IOアクセスコマンドは、キャッシュメモリ101上に展開(作成)されるだけである。

【0024】次に、CPU100は、共有メモリ102上に展開されるIOアクセスコマンド120の開始アドレス及びサイズからIOアクセスコマンドが展開されているキャッシュメモリ101のキャッシュラインの大きさを算出する(ステップS302)。詳述すると、このステップS302で、CPU100は、IOアクセスコマンドの開始アドレスと有効長を判断する処理と、IOアクセスコマンド有効数分を含む最小のキャッシュラインを判定する処理と、この判定された最小のキャッシュラインを制御する処理とを行う。CPU100は、IOアクセスコマンドが書き込みアクセスコマンドか読出しアクセスコマンドかを判断する(ステップS303)。

【0025】IOアクセスコマンドが書き込みアクセスコマンドの場合(ステップS303のYes)、CPU100は、CPU100のライトバック命令を使用して、キャッシュメモリ101上に展開(作成)されたIOアクセスコマンド120を共有メモリ102上に展開させる(ステップS304)。引続いて、CPU100は、IOアクセスコマンド120の共有メモリ102上のアドレスを主制御バス110を通して配下制御部103に対し通知し、DMAを起動する(ステップS305)。CPU100は、プログラム的には、この時点で制御は完了する。

【0026】配下制御部103は、DMAにより共有メモリ102上の配下装置制御用のIOアクセスコマンド

120を解析し、該当する配下装置に対して副制御バス111を介して制御を実施する。

【0027】一方、IOアクセスコマンドが読出しアクセスコマンドの場合(ステップS303のNo)、CPU100は、CPU100のライトバック&無効化命令を使用して、キャッシュメモリ101上に展開(作成)されたIOアクセスコマンド120を共有メモリ102上に展開させると共に、キャッシュメモリ101の該当キャッシュラインを無効化させる(ステップS404)。

10 次に、CPU100は、IOアクセスコマンド120の共有メモリ102上のアドレスを主制御バス110を通して配下制御部103に対し通知し、DMAを起動する(ステップS405)。

【0028】CPU100のプログラムは、配下制御部103が配下装置104～106に対してアクセスを完了させ、結果を共有メモリ102に展開するまで該当処理を中断する(ステップS406)。この場合、CPU100は、他の処理を実行することは可能である。

【0029】配下制御部103は、DMAにより共有メモリ102上の配下装置制御用のIOアクセスコマンド120を解析し、該当する配下装置に対して制御を実施し、読み出し結果をDMAにて共有メモリ120上に展開する。その後、配下制御部103は、割り込みを使用してCPU100に読み出し完了を通知する(ステップ407)。

【0030】読み出し完了の通知を受けたCPU100は、中断していた処理を再開させ(ステップS408)、キャッシュメモリ101のキャッシュアクセスを通して共有メモリ102上の読み出し結果にアクセスする(ステップS409)。

【0031】この場合、キャッシュメモリ101上のIOアクセスコマンドに相当する部分は、コマンド起動時に無効化しているため、読み出し完了後のアクセス実行時にミスヒットが発生し、共有メモリ102とキャッシュメモリ101間のコヒーレンシが実現する。

【0032】図4を参照して、本発明の第2の実施の形態に係るIOアクセス制御方法が適用される情報処理システムについて説明する。図示の情報処理システムは、共有メモリ102A部分のIOアクセスコマンドをリングチェーン構造化した場合の例を示している。

【0033】共有メモリ102A上に、コマンドのリング状チェーン200を構成し、制御データ201としてCPU100が配下装置制御用のIOアクセスコマンドを書き込むための書き込みポインタ301と、配下制御部103が書き込まれたIOアクセスコマンドを読み出すための読み出しポインタ300とを持つ。

【0034】CPU100は、配下制御部103とは、非同期に書き込みポインタ301の示すコマンド領域にIOアクセスコマンドを書き込み、書き込みポインタ301を更新する。IOアクセスコマンドの積み込みは、書き込み

みポインタ 301 が読出しポインタ 300 を示すまで積み込み可能である。

【0035】また、配下制御部 103 は、CPU100 から独立して読出しポインタ 300 の示すコマンド領域にコマンドが設定されている間、コマンドをDMAにて取り込み、配下装置へ副制御バス 111 を介してコマンドで示された制御を実施する。コマンドが設定されているかどうかの判断は、I/Oコマンド 401 のコマンド数等で判断可能である。

【0036】この構成を取った場合、CPU100 と配下制御部 103 とが独立に動作可能であり、CPU100 から連続して I/O アクセスコマンドを発行することが可能となり、より処理能力の向上が期待できる。

【0037】図 5 を参照して、本発明の第 3 の実施の形態に係る I/O アクセス制御方法が適用される情報処理システムについて説明する。図示の情報処理システムは、配下制御部 103 の配下に 2 系統の副制御バス 111、112 を配した例である。

【0038】この場合は、第 1 の副制御バス 111 を介した配下装置 104～106 のいずれかの装置制御と並行して、第 2 の副制御バス 112 を介した配下装置 107～109 のいずれかの装置制御を行うことが可能になり、処理能力の向上が期待できる。

【0039】尚、本発明は、上述した実施の形態に限定されず、本発明の要旨を逸脱しない範囲内で種々の変更が可能なのはいうまでもない。たとえば、上記第 2 の実施の形態と上記第 3 の実施の形態とを組み合わせて実現すれば、より効果が大になることが予測できる。さらに、共有メモリ 102 上のコマンドチェーン構造、配下制御部の組み合わせを複数配置すれば、処理能力の低下することなく、より大きな規模の配下装置群の制御を行えるシステムへの拡張も可能である。

【0040】

【発明の効果】以上説明したように、本発明では、CPU がキャッシュメモリを介して共有メモリ上に配下装置制御用の I/O アクセスコマンドを作成し展開しているの

で、次に述べるような効果を奏する。

【0041】第 1 の効果は、配下装置へのアクセスを CPU のプログラム処理から切り離すことにより、CPU 実行時間から制御バスの待ち合わせ時間、配下装置の応答時間を排除することができるとなり、CPU の処理能力を向上することができる。

【0042】第 2 の効果は、CPU に内蔵したキャッシュメモリを有効に活用することにより、I/O アクセスコマンドの発行自体を高速化でき、これによって処理スピードを向上できることである。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態による I/O アクセス制御方法が適用される情報処理システムのハードウェア構成を示すブロック図である。

【図 2】図 1 に示した情報処理システムで使用される I/O アクセスコマンドの構成例を示す図である。

【図 3】図 1 に示した情報処理システムの CPU 上で動作するプログラム動作を示すフロー図である。

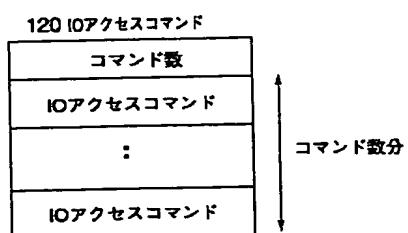
【図 4】本発明の第 2 の実施の形態による I/O アクセス制御方法が適用される情報処理システムのハードウェア構成を示すブロック図である。

【図 5】本発明の第 3 の実施の形態による I/O アクセス制御方法が適用される情報処理システムのハードウェア構成を示すブロック図である。

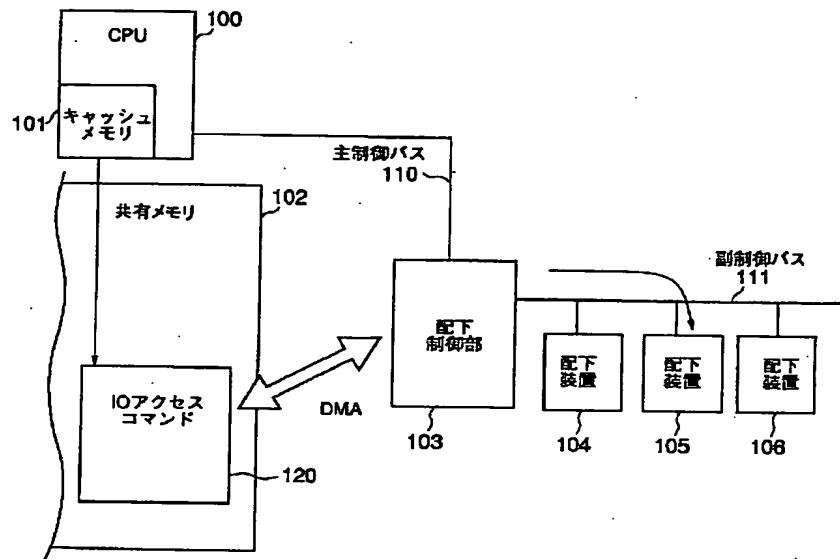
【符号の説明】

100	中央処理装置 (CPU)
101	キャッシュメモリ
102	共有メモリ
103	配下制御部
104～109	配下装置
110～112	制御バス
120	I/O アクセスコマンド
200	リングバッファ
201	制御データ
400、401	I/O コマンド
402	I/O アクセスコマンド

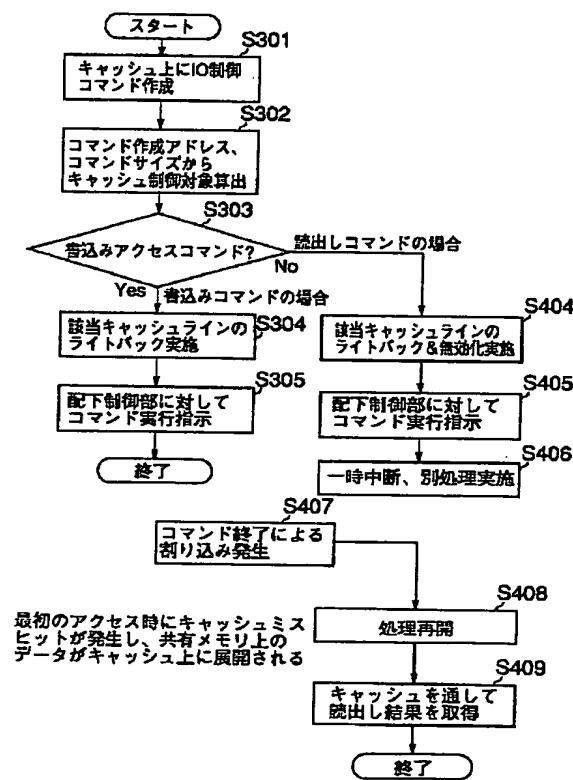
【図 2】



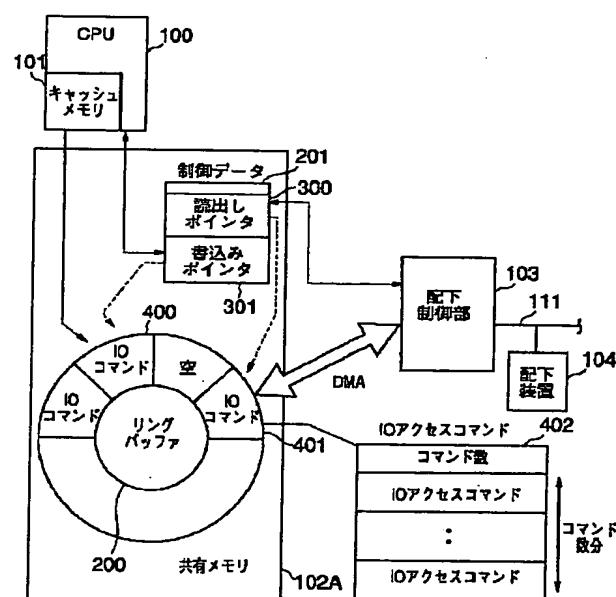
【図 1】



【図 3】



【図 4】



〔図 5 〕

